

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-069011  
 (43)Date of publication of application : 07.03.2003

(51)Int.Cl.

H01L 29/78  
 H01L 21/28  
 H01L 21/316  
 H01L 21/318  
 H01L 29/43

(21)Application number : 2001-255454

(22)Date of filing : 27.08.2001

(71)Applicant : HITACHI LTD

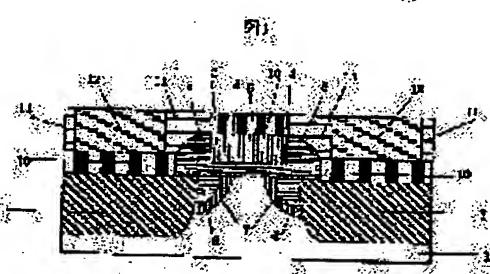
(72)Inventor : SHIMAMOTO YASUHIRO  
 OBATA KATSUNORI  
 TORII KAZUNARI  
 HIRATANI MASAHIKO

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that a high-permittivity film is applied instead of a conventional SiO<sub>2</sub> film when the film thickness of a gate insulating film is a 2 nm or less in terms of an SiO<sub>2</sub> film, that suppression of a leakage current must be realized, that a thin film must be realized, that a threshold voltage is shifted due to the generation of a fixed electric charge, and that a drain current is dropped due to the deterioration of a mobility in a gate insulating film manufactured by a conventional technique.

**SOLUTION:** The SiO<sub>2</sub> film in 0.5 nm or more is formed in the interface between an Si substrate (a polycrystal silicon gate) and a high-permittivity insulating film, and a temperature in the formation of the SiO<sub>2</sub> film is set at a heat treatment temperature or more in a later process. Consequently, as compared with the conventional SiO<sub>2</sub> film, the leakage current is suppressed to 1/100 or less, and a field-effect transistor comprising the gate insulating film in the thickness of 2 nm or less in terms of the SiO<sub>2</sub> film can be manufactured without generating fixed electric charges and without deteriorating the mobility. That is to say, the small power consumption and the large current of a fine field-effect transistor can be realized.



## LEGAL STATUS

[Date of request for examination] 08.09.2004  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-69011 ✓

(P2003-69011A)

(43)公開日 平成15年3月7日(2003.3.7)

(51)Int.Cl.<sup>7</sup>  
H 01 L 29/78  
21/28  
21/316  
21/318  
29/43

識別記号  
3 0 1

F I  
H 01 L 21/28  
21/316  
21/318  
29/78  
29/62

3 0 1 R 4 M 1 0 4  
S 5 F 0 5 8  
C 5 F 1 4 0  
3 0 1 G  
G

審査請求 未請求 請求項の数52 O.L (全 20 頁)

(21)出願番号 特願2001-255454(P2001-255454)

(22)出願日 平成13年8月27日(2001.8.27)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 岩本 泰洋  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 小畠 勝則  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(74)代理人 100075096  
弁理士 作田 康夫

最終頁に続く

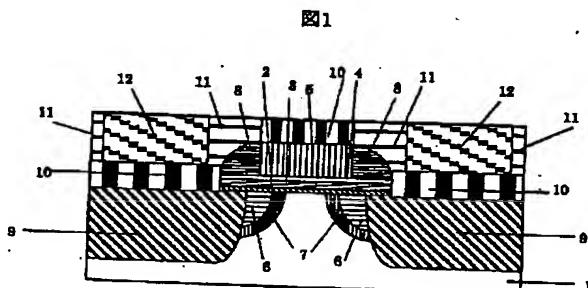
(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 ゲート絶縁膜の膜厚がSiO<sub>2</sub>換算膜厚2nm以下になる場合、従来のSiO<sub>2</sub>膜の代わりに高誘電体膜を適用して、リーク電流抑制と薄膜化の両方を実現する必要がある。しかしながら、従来技術で作製したゲート絶縁膜は、固定電荷発生による閾値電圧のシフトや、移動度劣化によるドレイン電流低下の問題点があった。

【解決手段】 Si基板(多結晶シリコンゲート)と高誘電体絶縁膜界面に0.5nm以上のSiO<sub>2</sub>膜を形成することと、SiO<sub>2</sub>膜形成温度を後工程の熱処理温度以上にする。

【効果】 本発明によれば、従来のSiO<sub>2</sub>膜に比べてリーク電流を1/100以下に抑制し、SiO<sub>2</sub>換算膜厚2nm以下のゲート絶縁膜を有する電界効果トランジスタを、固定電荷発生や移動度劣化がなく製造できる。つまり、微細電界効果トランジスタの低消費電力化、大電流化を実現することができる。



## 【特許請求の範囲】

【請求項1】シリコン基板上にシリコン酸化膜よりも高い誘電率を有する金属酸化物を用いて形成した、SiO<sub>2</sub>換算膜厚が2.0nm以下のゲート絶縁膜を備えた電界効果トランジスタを有する半導体装置において、上記シリコン基板と上記金属酸化物に挟まれた領域に0.5nm以上の厚さのシリコン酸化膜あるいはシリコン酸窒化膜を有することを特徴とする半導体装置。

【請求項2】上記金属酸化物は、Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物膜、もしくは、Al<sub>2</sub>O<sub>3</sub>とAl<sub>2</sub>O<sub>3</sub>上に形成されるZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物の積層膜であることを特徴とする請求項1に記載の半導体素子及びその製造方法。

【請求項3】シリコン基板上にシリコン酸化膜よりも高い誘電率を有する金属酸化物を用いて形成した、SiO<sub>2</sub>換算膜厚が2.0nm以下のゲート絶縁膜と多結晶シリコンゲートとを備えた電界効果トランジスタを有する半導体装置において、上記シリコン基板と上記金属酸化物に挟まれた領域に0.5nm以上の厚さの第1シリコン酸化膜を有し、かつ、上記金属酸化物と上記多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚さの第2シリコン酸化膜を有することを特徴とする半導体装置。

【請求項4】上記金属酸化物は、Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物膜、もしくは、Al<sub>2</sub>O<sub>3</sub>とAl<sub>2</sub>O<sub>3</sub>上に形成されるZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物の積層膜であることを特徴とする請求項3に記載の半導体素子及びその製造方法。

【請求項5】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記シリコン基板上に上記金属酸化物を形成する第1の工程と、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板と上記金属酸化物との界面に0.5nm以上の厚みのシリコン酸化膜あるいはシリコン酸窒化膜を形成する第2の工程と、ゲートを形成する第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記シリコン基板上に上記金属酸化物を形成する第1の工程と、上記金属酸化物上に第1シリコン酸化膜を形成する第2の工程と、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板と上記金属酸化物との界面に0.5nm

以上の厚みの第2シリコン酸化膜あるいはシリコン酸窒化膜を形成する第3の工程と、ゲートを形成する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記シリコン基板を窒化してシリコン窒化膜を形成する第1の工程と、上記シリコン窒化膜上に金属酸化物を形成する第2の工程と、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板と上記金属酸化物の界面に0.5nm以上の厚みのシリコン酸窒化膜を形成する第3の工程と、ゲートを形成する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記シリコン基板を窒化してシリコン窒化膜を形成する第1の工程と、上記シリコン窒化膜上に金属酸化物を形成する第2の工程と、上記金属酸化物上にシリコン酸化膜を形成する第3の工程と、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板と上記金属酸化物との界面に0.5nm以上の厚みのシリコン酸窒化膜を形成する第4の工程と、ゲートを形成する第5の工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板上に0.5nm以上の厚みのシリコン酸化膜あるいはシリコン酸窒化膜を形成する第1の工程と、上記シリコン酸化膜あるいは上記シリコン酸窒化膜上に金属酸化物を形成する第2の工程と、ゲートを形成する第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】シリコン基板上に形成されたシリコン酸化膜よりも高い誘電率の金属酸化物をゲート絶縁膜とする電界効果トランジスタを有する半導体装置の製造方法において、上記電界効果トランジスタの形成工程の最大温度の酸化雰囲気の熱処理によって上記シリコン基板上に0.5nm以上の厚みの第1シリコン酸化膜あるいはシリコン酸窒化膜を形成する第1の工程と、上記第1シリコン酸化膜あるいは上記シリコン酸窒化膜上に金属酸化物を形成する第2の工程と、上記金属酸化物上に第2シリコン酸化膜を形成する第3の工程と、ゲートを形成する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】上記電界効果トランジスタの形成工程の

最大温度は800°C以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項12】上記電界効果トランジスタの形成工程の最大温度は800°C以上であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項13】上記電界効果トランジスタの形成工程の最大温度は800°C以上であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項14】上記電界効果トランジスタの形成工程の最大温度は800°C以上であることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項15】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項16】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項17】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項18】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項19】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項20】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項21】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項22】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項23】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項24】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項25】上記酸化雰囲気の熱処理は、減圧酸素雰囲気あるいは希釈酸素雰囲気中で行うことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項26】上記酸化雰囲気の熱処理は、O<sub>2</sub>もしくはN<sub>2</sub>OもしくはNOを用いて行うことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項27】上記金属酸化物が、Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物、もしくは、A

l<sub>2</sub>O<sub>3</sub>とAl<sub>2</sub>O<sub>3</sub>上に形成されるZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物の積層膜であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項28】上記ゲートが高融点金属窒化物であるTa<sub>N</sub>, Ti<sub>N</sub>, WN, Mo<sub>N</sub>, Zr<sub>N</sub>, Hf<sub>N</sub>から選ばれた膜であることを特徴とする請求項27に記載の半導体装置の製造方法。

【請求項29】上記ゲートが多結晶シリコンであること10を特徴とする請求項27に記載の半導体装置の製造方法。

【請求項30】上記金属酸化物がZrO<sub>2</sub>あるいはHfO<sub>2</sub>であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項31】上記金属酸化物が、Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物、もしくは、Al<sub>2</sub>O<sub>3</sub>とAl<sub>2</sub>O<sub>3</sub>上に形成されるZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物の積層膜であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項32】上記ゲートが高融点金属窒化物であるTa<sub>N</sub>, Ti<sub>N</sub>, WN, Mo<sub>N</sub>, Zr<sub>N</sub>, Hf<sub>N</sub>から選ばれた膜であることを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項33】上記ゲートが多結晶シリコンであること30を特徴とする請求項31に記載の半導体装置の製造方法。

【請求項34】上記金属酸化物がZrO<sub>2</sub>あるいはHfO<sub>2</sub>であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項35】上記金属酸化物が、Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物、もしくは、Al<sub>2</sub>O<sub>3</sub>とAl<sub>2</sub>O<sub>3</sub>上に形成されるZrO<sub>2</sub>, HfO<sub>2</sub>, ZrSiO<sub>4</sub>, HfSiO<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物の積層膜であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項36】上記ゲートが高融点金属窒化物であるTa<sub>N</sub>, Ti<sub>N</sub>, WN, Mo<sub>N</sub>, Zr<sub>N</sub>, Hf<sub>N</sub>から選ばれた膜であることを特徴とする請求項35に記載の半導体装置の製造方法。

【請求項37】上記ゲートが多結晶シリコンであること50を特徴とする請求項35に記載の半導体装置の製造方

法。

【請求項38】上記金属酸化物が $ZrO_2$ あるいは $HfO_2$ であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項39】上記金属酸化物が、 $Al_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物、もしくは、 $Al_2O_3$ と $Al_2O_3$ 上に形成される $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物の積層膜であることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項40】上記ゲートが高融点金属窒化物である $TaN$ ,  $TiN$ ,  $WN$ ,  $MoN$ ,  $ZrN$ ,  $HfN$ から選ばれた膜であることを特徴とする請求項39に記載の半導体装置の製造方法。

【請求項41】上記ゲートが多結晶シリコンであることを特徴とする請求項39に記載の半導体装置の製造方法。

【請求項42】上記金属酸化物が $ZrO_2$ あるいは $HfO_2$ であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項43】上記金属酸化物が、 $Al_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物、もしくは、 $Al_2O_3$ と $Al_2O_3$ 上に形成される $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物の積層膜であることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項44】上記ゲートが高融点金属窒化物である $TaN$ ,  $TiN$ ,  $WN$ ,  $MoN$ ,  $ZrN$ ,  $HfN$ から選ばれた膜であることを特徴とする請求項43に記載の半導体装置の製造方法。

【請求項45】上記ゲートが多結晶シリコンであることを特徴とする請求項43に記載の半導体装置の製造方法。

【請求項46】上記金属酸化物が $ZrO_2$ あるいは $HfO_2$ であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項47】上記金属酸化物が、 $Al_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物、もしくは、 $Al_2O_3$ と $Al_2O_3$ 上に形成される $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物の積層膜であることを特徴とする請求項10に記載の半導体装置の製造方法。

1203と $Al_2O_3$ 上に形成される $ZrO_2$ ,  $HfO_2$ ,  $ZrSiO_4$ ,  $HfSiO_4$ ,  $Y_2O_3$ ,  $La_2O_3$ などの希土類酸化物の積層膜であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項48】上記ゲートが高融点金属窒化物である $TaN$ ,  $TiN$ ,  $WN$ ,  $MoN$ ,  $ZrN$ ,  $HfN$ から選ばれた膜であることを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項49】上記ゲートが多結晶シリコンであることを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項50】上記金属酸化物が $ZrO_2$ あるいは $HfO_2$ であり、上記ゲートが多結晶シリコンであり、上記金属酸化物と上記多結晶シリコンの反応によって金属酸化物と多結晶シリコンゲートに挟まれた領域に0.5nm以上の厚みのシリコン酸化膜を形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項51】上記シリコン酸窒化膜は、シリコン基板を窒化してシリコン窒化膜を作製する工程とシリコン窒化膜を酸化雰囲気の熱処理によって酸化する工程によって形成する、あるいは、酸化雰囲気の熱処理によってシリコン基板を酸化する工程と $N_2O$ 中の熱処理によって形成する、あるいは、 $N_2O$ 中の熱処理によって形成することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項52】上記シリコン酸窒化膜は、シリコン基板を窒化してシリコン窒化膜を作製する工程とシリコン窒化膜を酸化雰囲気の熱処理によって酸化する工程によって形成する、あるいは、酸化雰囲気の熱処理によってシリコン基板を酸化する工程と $N_2O$ 中の熱処理によって形成する、あるいは、 $N_2O$ 中の熱処理によって形成することを特徴とする請求項10に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に、電界効果トランジスタ用のゲート絶縁膜に高誘電体膜を適用した電界効果トランジスタを有する半導体装置及びその製造方法に関する。

##### 【0002】

【従来の技術】大規模集積回路(LSI)の基本構成回路であるMOSトランジスタは、これまでスケーリング則に従い高集積化を実現してきた。しかし、現状の二酸化シリコン( $SiO_2$ )を用いるゲート絶縁膜は、直接トンネルリーク電流の増大による消費電力の上昇と絶縁膜の信頼性低下によって、2.0nm以下の膜厚で限界に到達すると考えられている。また、そのような薄い $SiO_2$ は不純物に対する拡散バリアが弱くなるため、ゲート電極からの不純物漏れを引き起こす。さらに、薄い $SiO_2$ 膜を均一性良く、量産するには厳密な製造制御

が必要となる。

【0003】そこで、更なる素子の微細化と高速化を両立し、このスケーリング限界を打破するために、 $\text{SiO}_2$ より厚く形成されても同等以上の電界効果性能が得られる“高誘電率(high-K)材料”の開発が精力的に進められている。有力候補となっている材料は、ジルコニア( $\text{ZrO}_2$ )、ハフニア( $\text{HfO}_2$ )などのIV族酸化物、アルミナ( $\text{Al}_2\text{O}_3$ )、イットリア( $\text{Y}_2\text{O}_3$ )などのIII族酸化物、これら金属酸化物と $\text{SiO}_2$ 固溶体であるシリケート、などである。IV族酸化物、III族酸化物はSi半導体の初期にゲート絶縁膜として利用された材料である。しかし、 $\text{SiO}_2$ によるゲート絶縁膜の形成技術が確立された後は、その優れた特性のため、もっぱら $\text{SiO}_2$ が用いられてきた。最近の報告としては、例えば、 $\text{ZrO}_2$ をゲート絶縁膜に用いた電界効果トランジスタ(FET)はIEDM'99 Tech. Digest pp. 145, 1999に、 $\text{HfO}_2$ をゲート絶縁膜に用いた電界効果トランジスタは2000 Symposium on VLSI Technology Digest of Technical Papersに、アルミナをゲート絶縁膜に用いた電界効果トランジスタはIEDM'00 Tech. Digest pp. 145, 2000に記載されている。金属シリケートの作製方法は、例えば、特開平11-135774に記載されている。

#### 【0004】

【発明が解決しようとする課題】従来のFET形成工程では、ゲート絶縁膜を形成した後に、多結晶シリコンなどからなるゲートを堆積する工程、多結晶シリコンゲートに不純物を注入する工程、ゲートを加工する工程、ソース・ドレインに不純物を注入する工程、不純物を活性化する加熱工程などが存在する。特に、不純物を活性化する加熱工程は、所望の不純物プロファイルに制御するため、900°C以上の温度が望ましい。従って、高誘電体材料からなるゲート絶縁膜は、上記加熱工程を含むFET形成工程を経ても高品質な界面特性を維持する必要がある。

【0005】しかしながら、例えば、 $\text{Al}_2\text{O}_3$ をゲート絶縁膜に適用したFETを形成した場合、IEDM'00 Tech. Digest pp. 145, に記載されているように、次のような問題点が存在する。絶縁膜中に負の固定電荷が存在するため、Nチャネル型のMISFETのフラットバンド電圧が、正電圧側に0.3V以上シフトし、FETの閾値電圧も変化する。また、電子の移動度が小さく、 $\text{SiO}_2$ 膜のユニバーサルカーブ(移動度の有効電界依存性を与える普遍的曲線)に比べて約1/4であるため、FETを動作させた時のソース・ドレイン間の電流を期待通りに増大させることができない。電子の移動度が小さい原因の一つは、絶縁膜中に負の固定電荷が存在するために、チャネル中の電子が

散乱されるためと考えられている。従って、 $\text{Al}_2\text{O}_3$ をゲート絶縁膜に適用するためには、絶縁膜中の負の固定電荷を取り除く必要がある。

【0006】以下、高誘電体ゲート絶縁膜の $\text{SiO}_2$ 換算膜厚(EOT)を次のように定義する。周波数が784nmの光を用いたエリプソメータ測定で、屈折率を1.64に固定して得られる $\text{SiO}_2$ ゲート絶縁膜の膜厚が $t_{\text{OX}}$ であるとき、この $\text{SiO}_2$ ゲート絶縁膜を用いて形成したMOSキャパシタと同じ電気容量をもつ高誘電体ゲート絶縁膜の $\text{SiO}_2$ 換算膜厚(EOT)を $t_{\text{OX}}$ とする。

【0007】本発明の目的は、 $\text{SiO}_2$ 換算膜厚が小さく、同じ換算膜厚で比較してリーク電流が小さく、しかも、FET形成工程の熱負荷にも安定で、界面特性に優れた高品質な高誘電体絶縁膜を開発することにある。

#### 【0008】

【課題を解決するための手段】上記問題を解決するためには、発明者らは、第1に高誘電体材料とSi基板界面の $\text{SiO}_2$ 膜とFET特性の関係について、第2にFET特性と界面 $\text{SiO}_2$ 膜の形成温度の関係について、第3にFET特性とゲート電極材料の関係について詳細に調べた。

【0009】以下、第1に高誘電体材料とSi基板界面の $\text{SiO}_2$ 膜とFET特性の関係について詳述する。高誘電体材料として、ここでは $\text{Al}_2\text{O}_3$ 膜を例に挙げる。 $\text{Al}_2\text{O}_3$ の作製方法は、次の通りである。Si単結晶基板(抵抗率10Ωcm, 8インチ)をHF洗浄した後、ECRスパッタ装置によって室温で $\text{Al}_2\text{O}_3$ 膜を堆積する。装置の概要は図8に示す通りである。Arと $\text{O}_2$ の供給量は、マスフローメータによって制御した。そして、一定磁界のもとで、2.45GHzのマイクロ波を導入し、ECRプラズマを発生させた。マイクロ波出力は500Wである。さらに、13.56MHzのRF電界をA1のリングターゲットに印加することで、スパッタリングを行った。RF出力は500Wである。この装置では、Si基板の位置がA1ターゲットの位置から遠く、基板面はスパッタリングターゲット面に対して90°偏向した上、偏心して配置されている。さらに、基板電位を浮遊電位としている。そのため、通常のDCマグネットロンスパッタ装置に比べてプラズマ損傷を小さくできる特徴がある。また、面内の堆積膜厚を均一にするため、ウェハを20RPMで回転させながら堆積することができた。さらに、シャッター機構を備え、ECRプラズマ放電やスパッタ放電を安定させた後に、堆積することができる。成膜室の通常圧力は $1 \times 10^{-4}$ Pa、ガス導入時の圧力は $9 \times 10^{-2}$ Paである。

【0010】Arの供給量を25scm,  $\text{O}_2$ の供給量を3.0scmとして、A1ターゲット表面を酸化しない状態でスパッタする。Si上に形成された30n

mの膜をオージェ電子分光法によって分析した結果、膜中にAlとOが均一に分布し、堆積膜がAl<sub>2</sub>O<sub>3</sub>であることを確認した。従って、スパッタされたAlは、Si基板上でECRプラズマ中の酸素によって酸化され、Al<sub>2</sub>O<sub>3</sub>膜になることがわかる。Al<sub>2</sub>O<sub>3</sub>膜の成膜レートは1.7 Å/sである。

【0011】Al<sub>2</sub>O<sub>3</sub>/Si界面のSiO<sub>2</sub>膜厚ができるだけ薄い膜を形成するため、まず、上記方法を用いてAl<sub>2</sub>O<sub>3</sub>膜を12秒間堆積し、さらに、同一装置内で450°C, 10分間の真空中熱処理(Ar雰囲気、圧力7×10<sup>-4</sup>Torr)を施した後に、大気中に取り出した。導出法は後述するが、このときのSiO<sub>2</sub>膜厚は0.1nm~0.2nmである。また、上記膜をさらに酸化性雰囲気で熱処理することによってAl<sub>2</sub>O<sub>3</sub>/Si界面にSiO<sub>2</sub>膜を成長させた。TEM測定によって決定したAl<sub>2</sub>O<sub>3</sub>の膜厚は2.0nm±0.1nmである。図9にさまざまな酸化熱処理条件を施した膜のSi<sup>2p</sup>電子とAl<sup>2p</sup>電子のXPSスペクトルを示す。光電子の検出角度は、試料表面に平行な方向に対して30°の方向である。Si<sup>2p</sup>電子スペクトルに現れるSi基板のSi-Si(Si<sup>0+</sup>)結合エネルギーを99.2eVとすることでエネルギー位置を決定してい

る。また、Si<sup>2p</sup>光電子の検出数は全て、Al<sup>2p</sup>電子スペクトルに共通して観測された75.7eVの結合エネルギーを有するピーク(Al<sub>2</sub>O<sub>3</sub>のAl<sup>3+</sup>結合状態)の面積で規格化している。一方、Si<sup>2p</sup>電子スペクトルで103.5eV-104.0eVに観測されるピークは、SiO<sub>2</sub>結合(Si<sup>4+</sup>)である。試料番号の順番にSi<sup>0+</sup>強度が減少し、Si<sup>4+</sup>強度が増大しているのは、この順番に界面SiO<sub>2</sub>膜が成長していることに相当する。Al<sub>2</sub>O<sub>3</sub>の膜厚(=2.0nm)と密度は一定と考えられるので、界面のSiO<sub>2</sub>膜の成長とともに、Si<sup>4+</sup>結合状態にある光電子量は増大し、基板のSi<sup>0+</sup>結合状態にある光電子量は減少する。Si<sup>2p</sup>スペクトルに観測されるSi-O(Si<sup>4+</sup>)結合ピーク面積をI<sub>Si-O</sub>、基板のSi-Si(Si<sup>0+</sup>)結合ピーク面積をI<sub>Si-Si</sub>、光電子の平均自由行程をλとすると、界面のSiO<sub>2</sub>膜厚d<sub>XPS</sub>との間に次の関係式(1)が成立することが知られている  
(Appl. Phys. Lett., 78 (1996) 6653)。

【0012】

【式1】

$$\left( I_{Si-O} / I_{Si-Si} \right)_{exp} = K \{ \exp(d_{XPS} / \lambda \cdot \sin 30^\circ) - 1 \} \quad (K \text{は定数}) \dots (1)$$

【0013】今回、λ=3.9nm、K=0.45としてSiO<sub>2</sub>膜厚(d<sub>XPS</sub>)を決定した。上記(1)式によって決定したSiO<sub>2</sub>膜厚(d<sub>XPS</sub>)は、リン酸によってAl<sub>2</sub>O<sub>3</sub>層だけ除去した後にエリプソメータによって測定したSiO<sub>2</sub>膜厚d<sub>EL</sub>とd<sub>EL</sub>=d<sub>XPS</sub>+0.4nmの関係にある。これは、エリプソメータで測定した膜厚が、実際のSiO<sub>2</sub>膜厚よりも表面吸着層の存在の分だけ大きく見えるためである。また、Alゲートを堆積後に測定したAl/A<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Siキャパシタの電気的膜厚EOTはSiO<sub>2</sub>界面膜厚の変化に対して変化率1.0で対応することを確認した。また、図10に示されるEOTのAl<sub>2</sub>O<sub>3</sub>膜厚依存性からAl<sub>2</sub>O<sub>3</sub>膜厚をゼロに外挿した膜厚が界面SiO<sub>2</sub>膜厚に相当する。図10から決定した界面SiO<sub>2</sub>膜厚と(1)式を用いて決定したSiO<sub>2</sub>膜厚が0.1nm以内の差で一致することを確認した。表1に、図9に示した膜の酸化熱処理条件と上記方法で決定した界面のSiO<sub>2</sub>膜厚をまとめた。

【0014】

【表1】

表1

#	温度(°C)	雰囲気	アニール時間(s)	SiO <sub>2</sub> 膜厚(nm)
0	450	Ar 7×10 <sup>-4</sup> Torr	600	0.1-0.2
1	450	O <sub>2</sub> 7×10 <sup>-4</sup> Torr	600	0.2
2	800	O <sub>2</sub> 100Torr	5	0.3
3	900	O <sub>2</sub> 5Torr	5	0.4
4	950	O <sub>2</sub> 5Torr	5	0.5
5	1000	O <sub>2</sub> 5Torr	5	0.6
6	1000	O <sub>2</sub> 10Torr	5	0.7
7	800	O <sub>2</sub> 100Torr	60	1.0
8	1000	O <sub>2</sub> 760Torr	5	1.7

【0015】最も界面のSiO<sub>2</sub>膜厚が薄い試料#0について、図9に示されるAl<sup>2p</sup>電子のXPSスペクトルに注目する。Al<sub>2</sub>O<sub>3</sub>の結合状態を示すAl<sup>3+</sup>結合(75.7eV)と、それよりも低エネルギー側(73.6eV)にピークが観測された。このピークは、金属AlのAl<sup>0</sup>の結合位置(72.8eV)に近いので、Al-Al-O(Al<sup>1+</sup>)などによりAl<sub>2</sub>O<sub>3</sub>よりも酸素が少ない結合状態だと考えられる。角度分解XPSスペクトルによって、このAl金属的な結合状態(Al<sub>1</sub>O<sub>x</sub>)は、Al<sub>2</sub>O<sub>3</sub>とSiに挟まれ、Si基板側に存在することがわかった。また、この結合状態は界面のSiO<sub>2</sub>膜厚が薄い(0.1nm-0.2nm)

場合にだけ観測された。

【0016】次に、Alゲートを堆積した後にAl<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Si構造を有するMISキャパシタの容量-電圧特性の界面SiO<sub>2</sub>膜厚依存を調べた。図5に界面SiO<sub>2</sub>膜厚とフラットバンド電圧のシフト量ΔV<sub>FB</sub>の関係を示した。図5から、SiO<sub>2</sub>膜厚が薄い場合、正電圧側に約3.0Vシフトすることがわかる。これは、膜中に負の固定電荷が存在することを示している。そして、界面SiO<sub>2</sub>膜厚の増大とともにΔV<sub>FB</sub>は小さくなり、0.5nm以上の界面SiO<sub>2</sub>膜が存在する場合に消失することがわかった。今回、SiO<sub>2</sub>膜の形成温度が300°Cから1100°Cの膜に調べてみたが、以上の特性は酸化熱処理温度に依存しないことを確認した。

【0017】ここで、負の固定電荷発生メカニズムを考える。前述したように、SiO<sub>2</sub>膜厚が薄い場合に、Al<sub>2</sub>O<sub>3</sub>/Si界面に金属的なAlOX結合状態(Al<sub>2</sub>O<sub>3</sub>からOが欠損した状態)が安定に存在する。Al<sub>2</sub>O<sub>3</sub>が還元された状態のAlOX中では、負電荷の発生が予想できる。ΔV<sub>FB</sub>>3.0Vから見積もられる固定電荷量は、4×10<sup>13</sup>/cm<sup>2</sup>以上である。一方、SiO<sub>2</sub>膜の成長に伴いフラットバンド電圧のシフト量が減少するのは、Al<sub>2</sub>O<sub>3</sub>中の酸素分布が一様になり、AlOX層が減少するためと考えられる。そして、0.5nmのSiO<sub>2</sub>層が存在する場合に、Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>界面の酸素分布は一様になり、AlOX層が消失する。SiO<sub>2</sub>膜が薄いときに、AlOX層が形成されるのは、SiO<sub>2</sub>/Si界面のようにAl<sub>2</sub>O<sub>3</sub>/Si界面を急峻にできないためと考えられる。Al<sub>2</sub>O<sub>3</sub>とSi基板界面を整合させるためには、0.5nm以上のSiO<sub>2</sub>バッファ層が必要である。SiO<sub>2</sub>膜厚が約0.3nmの場合、図9のAl<sub>2</sub>p電子のXPSスペクトル(#2の場合)でAlOX層が消失しているにもかかわらず、図5でフラットバンド電圧シフトが約0.3V存在した。ΔV<sub>FB</sub>=0.3Vから見積もられる固定電荷量は、約4×10<sup>12</sup>/cm<sup>2</sup>である。XPSスペクトルの感度がせいぜい10<sup>13</sup>/cm<sup>2</sup>程度であることを考えると、XPS測定で観測できないことも理解できる。

【0018】以上の検討から見出された、界面特性に優れたAl<sub>2</sub>O<sub>3</sub>ゲート絶縁膜を形成するための第1の発明は、Al<sub>2</sub>O<sub>3</sub>とSi基板の間に0.5nm以上の界面SiO<sub>2</sub>膜を有する構造である。後述するが、これらの膜は少なくとも750°C以下の熱負荷に対して安定である。本発明は、Al<sub>2</sub>O<sub>3</sub>以外の他のhigh-K絶縁膜についても適用できる。HfO<sub>2</sub>膜、ZrO<sub>2</sub>膜、La<sub>2</sub>O<sub>3</sub>膜について、界面SiO<sub>2</sub>膜厚とフラットバンド電圧シフト量の関係を図5に同時に示した。これらの膜の場合、金属のHf、Zr、Laを蒸着後に300°Cの減圧酸素雰囲気で高速酸化処理を行い、熱処理時間

とO<sub>2</sub>分圧を変えることで界面SiO<sub>2</sub>膜厚を制御した。Al<sub>2</sub>O<sub>3</sub>と同様にXPSスペクトル、TEM測定、エリプソメータ測定によってSiO<sub>2</sub>膜厚を導出した。ゲート電極はPtである。図1から、これらの高誘電体絶縁膜の場合にも、フラットバンド電圧シフトをゼロにするために界面SiO<sub>2</sub>膜が0.5nm以上必要であることがわかる。以上は、Y<sub>2</sub>O<sub>3</sub>やLa<sub>2</sub>O<sub>3</sub>以外の希土類酸化物やHfSiO<sub>4</sub>膜、ZrSiO<sub>4</sub>膜についても同じであることを確認した。

【0019】以下、第2に行った検討として、FET特性と界面SiO<sub>2</sub>膜の形成温度の関係について詳述する。発明者らは、まず、Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Si構造の熱安定性を調べた。酸化熱処理によってAl<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Si構造を形成した後に、不活性雰囲気中で後熟処理を行い、Alゲート電極を形成し、容量-電圧測定を行った。図6に後熟処理温度とフラットバンド電圧シフト量の関係を示す。いずれの膜も0.5nm-0.7nmの界面SiO<sub>2</sub>膜を有する膜であり、酸化直後のフラットバンド電圧シフト量はゼロである。膜形成20の酸化熱処理温度が400°Cの膜は、後熟処理温度が750°C以下であれば、形成温度に依存せずにフラットバンド電圧シフトが生じることはなかった。しかし、800°C以上の後熟処理を行った場合、0.5nm以上の界面SiO<sub>2</sub>膜が存在しても後熟処理後にフラットバンド電圧の正電圧シフトが観測された。これは、Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>界面の酸素分布が高温熱処理によって変化した結果と考えられる。しかし、膜の形成温度(酸化処理温度)が、後熟処理温度と同じか、もしくはそれ以上であれば、850°C以上の熱処理温度に対してもフラット30バンド電圧のシフトは見られなかった。以上の結果が示すように、発明者が見出した第1の発明であるAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.5nm以上の界面SiO<sub>2</sub>膜を有する構造の膜は750°C以下の後熟処理後も安定で、優れた界面特性を示すことがわかった。発明者が見出した第2の発明は、後工程の熱処理温度以上の温度で、酸化性雰囲気において、Al<sub>2</sub>O<sub>3</sub>とSi基板界面に0.5nm以上の界面SiO<sub>2</sub>膜を形成することを特徴とする成膜方法である。これによって、1100°Cの熱処理40に対して安定で、優れた界面特性を示す絶縁膜を形成することができる。ただし、この場合、高温酸化で酸化膜厚を制御するため、希釈酸素、もしくは減圧酸素雰囲気中の熱処理が必要である。例えば、O<sub>2</sub>分圧5torrの雰囲気中で1000°C、5秒の高速酸化処理(RTO処理)を施すことでAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.6nmのSiO<sub>2</sub>膜を形成することができる。また、O<sub>2</sub>分圧1torrの雰囲気中で1100°C、5秒のRTO処理を施すことでAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.6nmのSiO<sub>2</sub>膜を形成することができる。

【0020】上記第2の発明は、Al<sub>2</sub>O<sub>3</sub>膜に限らず、他の高誘電体絶縁膜の形成方法として有効である。

$ZrO_2$ 膜,  $HfO_2$ 膜について、膜形成後の減圧酸素雰囲気中熱処理によって界面 $SiO_2$ 膜を形成した後に、不活性雰囲気中で後熱処理を行った。そして、 $Pt$ ゲート電極を形成し、MISキャパシタ容量の電圧依存を測定した。図7に後熱処理温度とMISキャパシタのフラットバンド電圧シフト量の関係を示す。いずれの膜も0.8nmの界面 $SiO_2$ 膜を有する膜である。酸化処理温度が400°Cの膜は、後熱処理温度が750°C以下であれば、形成温度に依存せずにフラットバンド電圧シフトが生じることはなかった。しかし、800°C以上の後熱処理を行ったところ、後熱処理温度が酸化処理温度より高い膜の場合、フラットバンド電圧の正電圧シフトが観測された。これは、800°C以上の高温熱処理によって高誘電体絶縁膜と $SiO_2$ 界面で $Si$ ,  $O$ ,  $Hf$  ( $Zr$ ) が相互拡散した結果と考えられる。しかし、後熱処理温度よりも高い温度の酸化性雰囲気で界面 $SiO_2$ 膜を形成した膜の場合、FET特性の劣化は見られなかつた。以上の結果が示すように、後工程の熱処理温度以上の酸化処理温度で高誘電体絶縁膜と $Si$ 基板の間に界面 $SiO_2$ 膜を形成することによって、1100°Cの熱処理に対して安定で、優れた界面特性を示す絶縁膜を形成することができる。以上は、 $HfO_2$ ,  $ZrO_2$ に限らず、 $Y_2O_3$ や $La_2O_3$ などの希土類酸化物、 $HfSiO_4$ ,  $ZrSiO_4$ についても同様である。また、 $Hf$ 添加 $SiO_2$ 膜、 $Zr$ 添加 $SiO_2$ 膜でも同様であった。ただし、この場合、高温酸化で酸化膜厚を制御するために、希釈酸素もしくは減圧酸素雰囲気中の熱処理が必要である。例えば、 $O_2$ 分圧1torrの雰囲気中で1000°C, 5秒のRTO処理を施すことで高誘電体絶縁膜と $Si$ 基板の間に0.7nmの $SiO_2$ 膜が成長する。また、 $O_2$ 分圧1torrの雰囲気中で1100°C, 5秒のRTO処理を施すことで高誘電体絶縁膜と $Si$ 基板の間に1.0nmの $SiO_2$ 膜が成長する。

【0021】上記では、高誘電体絶縁膜と $Si$ 基板の間に必要な界面 $SiO_2$ 膜を、高誘電体絶縁膜形成後の酸化熱処理によって形成したが、高誘電体絶縁膜堆積前に形成することも可能である。例えば、 $Si$ 基板を酸化性雰囲気の熱処理で酸化して0.5nmの $SiO_2$ 膜を形成した後に高誘電体絶縁膜を堆積することで750°C以下の後熱処理温度でも安定で、優れた界面特性を示す膜を形成できる。また、この場合も、 $SiO_2$ 膜形成温度を後熱処理温度以上にすることで熱安定性が高く優れた界面特性を示す絶縁膜を形成することができる。ただし、高誘電体絶縁膜形成後にさらに界面 $SiO_2$ 膜が成長しない酸化条件で熱処理をすることが望ましい。例えば、後熱処理温度が1000°Cの場合、次のように高誘電体絶縁膜を形成すればよい。 $Si$ 基板を $O_2$ 分圧5torrの雰囲気中で1000°C, 5秒のRTO処理を施すことでも0.5nmの $SiO_2$ 膜を形成する。さらに高誘電体絶縁膜を堆積した後に、 $O_2$ 分圧1torrの雰

囲気中で1000°C, 5秒のRTO処理を施すことが望ましい。

【0022】また、高誘電体絶縁膜と $Si$ 基板の間の $SiO_2$ 膜をシリコン酸窒化膜( $SiON$ )に置き換えることも可能である。成膜方法は次の通りである。第1の方法は、上記方法で形成した0.5nm以上の $SiO_2$ 膜を有する高誘電体絶縁膜/ $SiO_2$ / $Si$ 基板にさらにNO処理を施すことで、 $SiO_2$ / $Si$ 界面付近にNを導入する方法である。NO処理条件は、例えば900°C程度のNO雰囲気中で10秒の熱処理である。第2の方法は、まず、高誘電体絶縁膜堆積前に $Si$ 基板を $N_2O$ 雰囲気の熱処理で酸化して0.5nm以上の $SiON$ 膜を形成する方法である。その後に高誘電体絶縁膜を堆積することで750°Cの後熱処理温度でも安定で、優れた界面特性を示す膜を形成できる。例えば $N_2O$ 処理条件は、 $N_2O$ 分圧10torrの雰囲気中で1000°C, 5秒の高速熱処理を施すことで0.5nmの $SiON$ 膜を形成する。 $SiON$ 膜の形成温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。ただし、高誘電体絶縁膜形成後にさらに界面 $SiO_2$ 膜が成長しない酸化性雰囲気で熱処理をすることが望ましい。さらに、第3の方法は、次の通りである。 $Si$ 基板をHF洗浄後に $NH_3$ 雰囲気中700°C以下の温度で窒化する。このときの窒化膜は $Si$ 表面1層程度である。そして高誘電体絶縁膜を堆積し、酸化性雰囲気の熱処理を行い、高誘電体絶縁膜と $Si$ 界面に0.5nm以上の $SiON$ 膜を形成する。この場合も酸化性雰囲気の熱処理温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。第4の方法は次の通りである。 $Si$ 基板上に高誘電体絶縁膜を形成後に、 $N_2O$ 雰囲気中で熱処理で界面に0.5nm以上の $SiON$ 膜を形成する。この場合も酸化性雰囲気の熱処理温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。例えば $N_2O$ 処理条件は、 $N_2O$ 分圧10torrの雰囲気中で1000°C, 5秒の高速熱処理を施すことで0.5nmの $SiON$ 膜を形成することができる。上記熱処理で $N_2O$ 熱処理はNO処理に置きかえることもできる。上記4つの方法によって、界面 $SiON$ 膜を形成することで、リーク電流をさらに1/2以下に抑制することができる。

【0023】以下、第3に行った検討として、FET特性とゲート電極材料の関係について詳述する。発明者らは、まず、多結晶シリコングートを用いた $Al_2O_3$ ゲート絶縁膜について検討した。1.5nmの $Al_2O_3$ 膜を堆積後に、 $O_2$ 分圧5torrの雰囲気中で1000°C, 5秒の高速熱処理を行い、界面 $SiO_2$ 膜を0.6nm形成した後、多結晶 $Si$ ゲートを形成した。続いて、ゲート、ソース、ドレイン領域に不純物イオンを打ち込み、活性化熱処理として1000°C, 5秒の高速熱処理を行った。さらに配線形成工程を経た後に、MIS

FETを形成した。MISキャパシタの容量の電圧依存を測定した結果、膜のSiO<sub>2</sub>換算膜厚は1.3nmであった。しかし、同時に+0.3Vのフラットバンド電圧シフトが観測された。これは、多結晶Siゲート電極とAl<sub>2</sub>O<sub>3</sub>界面も急峻にできないため、Al<sub>2</sub>O<sub>3</sub>中の酸素が多結晶Siゲート電極にわずかに拡散しAlOX層が形成され、負の固定電荷を発生するためと考えられる。このときのNチャネル型のMISFETの移動度は、SiO<sub>2</sub>膜のユニバーサルカーブ（移動度の有効電界依存性を与える普遍的曲線）に比べて約3/4に劣化した（図21中のAl<sub>2</sub>O<sub>3</sub>ゲート絶縁膜の場合）。この劣化原因は、多結晶シリコンゲートとAl<sub>2</sub>O<sub>3</sub>界面に存在する負の固定電荷によって、電子が散乱されるためと考えられる。IEDM'00 Tech. Digest pp. 145, 2000に記載されているAl<sub>2</sub>O<sub>3</sub>を用いたNチャネル型のMISFETの移動度はユニバーサルカーブに比べて約1/4に劣化している（図21中の従来の技術）。本発明者らの検討結果の方が移動度が約3倍大きいのは、Al<sub>2</sub>O<sub>3</sub>/Si基板界面の固定電荷を本発明によって減らすことができたためと考えられる。

【0024】さらなる検討の結果、多結晶Si/Al<sub>2</sub>O<sub>3</sub>界面に0.5nmのSiO<sub>2</sub>層を形成することによって、固定電荷を消失できることを見出した。作製方法は次の通りである。1.0nmのAl<sub>2</sub>O<sub>3</sub>膜堆積に引き続きSi<sub>2</sub>H<sub>6</sub>とH<sub>2</sub>Oを用いたALCVD法によってSiO<sub>2</sub>膜を0.5nm形成する。さらに、酸化性雰囲気の熱処理によってAl<sub>2</sub>O<sub>3</sub>/Si基板界面に0.5nm以上のSiO<sub>2</sub>膜を形成する。ソース・ドレインの活性化熱処理が800℃以上になる場合、酸化熱処理温度は活性化熱処理温度以上の例えばO<sub>2</sub>分圧5torrの雰囲気中で1000℃、5秒の高速熱処理を行えばよい。以上の作製方法によって、フラットバンド電圧シフトがなくて、移動度の劣化がない（図21中のAl<sub>2</sub>O<sub>3</sub>ゲート絶縁膜の場合）FETを形成できることを見出した。ただし、この場合、Al<sub>2</sub>O<sub>3</sub>膜とSi基板界面、Al<sub>2</sub>O<sub>3</sub>膜と多結晶シリコン基板界面にいずれも0.5nm以上のSiO<sub>2</sub>膜が必要であるため、ゲート絶縁膜の薄膜化を阻害する要因になる。例えば、上記の方法で形成したゲート絶縁膜のSiO<sub>2</sub>換算膜厚は1.6nmであった。

【0025】次に、ゲート電極材料として高融点金属材料を検討した。界面SiO<sub>2</sub>膜厚を0.5nm形成したAl<sub>2</sub>O<sub>3</sub>膜（1.5nm）上に反応性スパッタリング法によってTiN膜を形成した後、スパッタリング法によってW膜を堆積した。この場合、Al<sub>2</sub>O<sub>3</sub>と多結晶シリコンゲート界面に見られるような不整合は発生せずに、優れた界面特性を維持することができた。MISキャパシタのSiO<sub>2</sub>換算膜厚は1.2nmであった。上記TiN膜は、ゲート絶縁膜とWの反応防止のため必要

であり、WN, MoN, TaN, ZrN, HfNなどの導電性バリア膜に置きかえることが可能である。また、W電極をMo電極に置きかえることもできる。また、後工程の熱処理温度以上の酸化処理温度でAl<sub>2</sub>O<sub>3</sub>膜とSi基板の間に界面SiO<sub>2</sub>膜を形成することによって、後工程の熱負荷に対して安定なFETを形成することができる。また、界面SiO<sub>2</sub>膜はSiON膜でも同様である。

【0026】上記は、Al<sub>2</sub>O<sub>3</sub>とゲート電極材料の整合性について述べたが、Al<sub>2</sub>O<sub>3</sub>以外の高誘電体絶縁膜とゲート電極材料の関係を調べた。ここでは、HfO<sub>2</sub>膜を例に挙げて説明する。3.0nmのHfO<sub>2</sub>膜をHfCl<sub>4</sub>とH<sub>2</sub>Oを用いるALCVD法によって堆積した。基板温度は300℃である。堆積後にO<sub>2</sub>分圧1Torrの雰囲気中で1050℃、5秒の高速熱処理を行い、界面SiO<sub>2</sub>膜を0.8nm形成した後、多結晶Siゲートを形成した。さらに、ゲート、ソース、ドレイン領域に不純物イオンを打ち込み、活性化熱処理として1050℃、1秒の高速熱処理を行った。さらに配線形成工程を経た後に、MISFETを形成した。MISキャパシタの容量の電圧依存を測定した結果、膜のSiO<sub>2</sub>換算膜厚は1.5nmであった。また、フラットバンド電圧シフト量は0.1V以下であり、MISFETの移動度は、SiO<sub>2</sub>膜のユニバーサルカーブ（移動度の有効電界依存性を与える普遍的曲線）とほぼ一致した。以上の結果は、多結晶Siゲート電極とHfO<sub>2</sub>界面の整合性がAl<sub>2</sub>O<sub>3</sub>よりも優れることを示している。MISFETの断面TEM分析を行った結果、HfO<sub>2</sub>と多結晶シリコンの界面に0.5nmの界面層が見られた。元素分析の結果、この層はHfがわずかに混入したSiO<sub>2</sub>膜であることがわかった。多結晶Siゲート電極とAl<sub>2</sub>O<sub>3</sub>界面には、反応層が見られないことから、両者の整合性の差を与える原因の一つはこの反応層の存在にあると考えられる。このSiO<sub>2</sub>を主とする界面層の存在がバッファ層の役目を果たし、固定電荷の発生を抑制するためと推測する。以上は、HfO<sub>2</sub>に限らず、ZrO<sub>2</sub>でも同様であった。一方、HfSiO<sub>4</sub>, ZrSiO<sub>4</sub>の場合、上記反応層は見られないが、界面特性に優れた膜を形成できることを確認した。また、多結晶シリコンゲートの代わりに高融点金属材料を用いることもできる。高誘電体絶縁膜上にTiN, WN, MoN, TaN, ZrN, HfNなどの導電性バリア膜とW, Mo等の金属を積層することで、優れた界面特性を維持することができる。また、後工程の熱処理温度以上の酸化処理温度で高誘電体絶縁膜とSi基板の間に界面SiO<sub>2</sub>膜を形成することによって、後工程の熱負荷に対して安定なFETを形成することができる。また、界面SiO<sub>2</sub>膜はSiON膜でも同様である。

【0027】尚、ゲート絶縁膜として、Al<sub>2</sub>O<sub>3</sub>膜とAl<sub>2</sub>O<sub>3</sub>以外の高誘電体絶縁膜の積層膜を用いること

も可能である。作製方法は以下の通りである。Si基板上に例えればALCVD法によって0.5nmのAl<sub>2</sub>O<sub>3</sub>を形成した後に、同じくALCVD法によって例えば3.0nmのHfO<sub>2</sub>膜を堆積する。そして、1050°Cで5Torrの減圧酸素雰囲気中で5秒の高速熱処理を行い、Al<sub>2</sub>O<sub>3</sub>/Si界面に0.5nmのSiO<sub>2</sub>膜を形成する。さらに上記に述べた方法で多結晶Siゲートもしくは高融点金属ゲートを形成する。MISキャパシタのSiO<sub>2</sub>換算膜厚は1.3nm、フラットバンド電圧シフト量はゼロであった。また、Nチャネル型、Pチャネル型のMISFETの移動度が劣化しないことを確認した。上記HfO<sub>2</sub>膜の代わりにZrO<sub>2</sub>についても同様に優れた界面特性を示した。

【0028】図10に高誘電体絶縁膜キャパシタのSiO<sub>2</sub>換算膜厚EOTと高誘電体絶縁膜厚の関係を示す。直線の傾きから各高誘電体絶縁膜の比誘電率がわかる。また、高誘電体絶縁膜厚をゼロに外挿することで、界面のSiO<sub>2</sub>膜厚を決定することができる。例えば、ECRスパッタ法によって形成したAl<sub>2</sub>O<sub>3</sub>膜の場合、比誘電率が7.8、界面SiO<sub>2</sub>膜厚が0.6nmであった。従って、Al<sub>2</sub>O<sub>3</sub>膜を1.0nm-3.0nm堆積することによって、換算膜厚EOT=1.1nm-2.1nmのゲート絶縁膜を形成することができる。また、図11にリーク電流とEOTの関係を示した。高誘電体絶縁膜を用いることでSiO<sub>2</sub>膜に比べてリーク電流を1/100以下に抑制することができる。

【0029】以上、詳細に説明したように、本発明は、優れた界面特性を有するFETを提供するゲート絶縁膜の構造とその成膜方法、特に高誘電体絶縁膜とSi基板界面のSiO<sub>2</sub>(SiON)膜とその成膜方法に関するものである。従って、上記では、高誘電体絶縁膜を、金属膜の酸化、ECRスパッタ法、ALCVD法によって堆積したが、これに限らないことは言うまでもない。

### 【0030】

【発明の実施の形態】以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型及び製造条件等は本実施例の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

<実施例1>図1は本発明の第1の実施例による半導体装置の完成断面図であり、図14及び図15はその製造工程順を示す断面図である。

【0031】面方位(100)、P導電型、直径20cmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域(図示せず)の形成、基板濃度調整用のP導電型イオンの注入と引き延ばし熱処理及び閾電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した。その後、トリメチルアルミニウム[A1(CH<sub>3</sub>)<sub>3</sub>]を原料ガスに、H<sub>2</sub>Oを酸化ガスに用

いる原子層堆積CVD法(ALCVD法)によって350°Cで1.0nmのAl<sub>2</sub>O<sub>3</sub>膜を堆積する。さらに、同一装置内において、Si<sub>2</sub>H<sub>6</sub>とH<sub>2</sub>Oを用いたALCVD法によってSiO<sub>2</sub>膜を0.5nm形成する。そして、O<sub>2</sub>分圧5torrの雰囲気中で1000°C、5秒のRTO処理を施すことでAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.6nmのSiO<sub>2</sub>膜2を形成した。以上の工程によって、Al<sub>2</sub>O<sub>3</sub>とSi基板の間の0.6nmのSiO<sub>2</sub>膜2と高誘電体絶縁膜3(1.0nmのAl

10 2O<sub>3</sub>)とAl<sub>2</sub>O<sub>3</sub>膜上の0.5nmのSiO<sub>2</sub>膜4から形成されるゲート絶縁膜を形成することができる。

【0032】さらに、ゲート電極5となる100nmのIn-Situリンドープ多結晶Si膜5を形成した。本実施例においては、上記In-Situリンドープ多結晶Si膜5の形成にモノシリコン(SiH<sub>4</sub>)とホスフィン(PH<sub>3</sub>)を用い630°Cの温度で堆積を行った(図12)。上記In-situリンドープ多結晶Si膜5の低抵抗化は上記のごとく予め不純物を添加するのではなく従来公知の相補型MOSの製法に基づき所望ゲート電極領域に選択的にリンを高濃度イオン注入し形成しても何ら問題ない。続いて750°Cの窒素雰囲気中で5分の熱処理を行った後、上記In-Situリンドープ多結晶Si膜5をゲート電極5にそれぞれ加工した。

【0033】ゲート電極5形成後、この状態よりAsイオンを加速エネルギー3keV、注入量1×10<sup>15</sup>/cm<sup>2</sup>の条件で垂直方向からイオン注入し、浅い拡散層6を形成した。続いて上記浅い拡散層6を包み込むごとく、Bのイオン注入を垂直方向から加速エネルギー10keV、注入量4×10<sup>13</sup>/cm<sup>2</sup>なる条件で実施し

30 パンチスルーフォントのためのP導電型パンチスルーフォント拡散層7とした。次に50nm厚のシリコン酸化膜をプラズマ補助堆積法により400°Cの低温で全面に堆積してから異方性ドライエッティングによりゲート電極5の側壁部にのみ選択的に残置させてゲート側壁絶縁膜8とした。上記ゲート側壁絶縁膜8をイオン注入阻止マスクとしてAsイオンを加速エネルギー30keV、注入量2×10<sup>15</sup>/cm<sup>2</sup>の条件で垂直方向からイオン注入し、N型高濃度拡散層9を形成した(図13)。

【0034】続いて、1000°C、5秒の窒素アーチー

40 で注入イオンの活性化熱処理を施した。さらにCo膜をスパッタリング法により全面に薄く堆積し、500°Cにおける短時間アーチーによるシリサイド化を施した。未反応Co膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部を選択的にCoシリサイド膜10を残置させた後、短時間熱処理によりCoシリサイド膜10の低抵抗化を施した。次に厚いシリコン酸化堆積膜を全面に形成した後、その表面を化学的機械的研磨により平坦化して表面保護絶縁膜11とした。該表面保護絶縁膜の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化

研磨により開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニュームを主材料とする金属膜の堆積とそのパターニングによりソース、ドレン電極1・2を含む配線を形成し、電界効果トランジスタを製造した(図1)。これによって、SiO<sub>2</sub>換算膜厚が1.6nmのMISFETを形成できる。図5のAl<sub>2</sub>O<sub>3</sub>/Si界面のSiO<sub>2</sub>界面膜厚とフラットバンド電圧シフトの関係が示すように、SiとAl<sub>2</sub>O<sub>3</sub>界面に0.5m以上のSiO<sub>2</sub>膜を形成することで、固定電荷のないゲート絶縁膜を形成できる。また、図6の後熱処理温度とフラットバンド電圧シフト量の関係が示すように、ゲート絶縁膜形成時の酸化熱処理条件を、ソース・ドレンの活性化熱処理温度以上にすること、キャリア移動度の劣化がなく、優れた界面特性を示すFETを形成できる。上記方法で、ソース・ドレンの活性化熱処理温度を1050℃、1秒にする場合、ゲート絶縁膜形成時の酸化熱処理条件は、O<sub>2</sub>分圧1torrの雰囲気中で1050℃、5秒のRTO処理を施す必要がある。

【0035】上記半導体装置の高誘電体絶縁膜3としてAl<sub>2</sub>O<sub>3</sub>の代わりにZrO<sub>2</sub>やHfO<sub>2</sub>を適用することもできる。ZrC<sub>1</sub><sub>4</sub>を原料ガスに、H<sub>2</sub>Oを酸化ガスに用いる原子層堆積CVD法(ALCVD法)によって300℃で2.0nmのZrO<sub>2</sub>膜を堆積する。さらに、同一装置内において、Si<sub>2</sub>H<sub>6</sub>とH<sub>2</sub>Oを用いたALCVD法によってSiO<sub>2</sub>膜を0.5nm形成する。そして、O<sub>2</sub>分圧5torrの雰囲気中で1050℃、5秒のRTO処理を施すことでZrO<sub>2</sub>とSi基板の間に0.8nmのSiO<sub>2</sub>膜2を形成した。以上の工程によって、ZrO<sub>2</sub>とSi基板の間の0.8nmのSiO<sub>2</sub>膜2と高誘電体絶縁膜3(2.0nmのZrO<sub>2</sub>)とZrO<sub>2</sub>膜上の0.5nmのSiO<sub>2</sub>膜4から形成されるゲート絶縁膜を形成することができる。以下の作製方法は上記の通りである。以上のように、SiO<sub>2</sub>換算膜厚が1.8nmのMISFET構造(図1)を形成できる。図5、図7に示されるように、SiとZrO<sub>2</sub>界面に0.5m以上のSiO<sub>2</sub>膜を形成することと、ゲート絶縁膜形成時の酸化熱処理条件をソース・ドレンの活性化熱処理温度以上にすることによって、キャリア移動度の劣化がなく、優れた界面特性を示すFETを形成できる。HfO<sub>2</sub>膜の場合、2.0nmのHfO<sub>2</sub>膜をHfC<sub>1</sub><sub>4</sub>とH<sub>2</sub>Oを用いるALCVD法によって堆積し、上記と同じ作製方法でMISFETを形成することで、同等の特性を得ることができる。以上は、ZrO<sub>2</sub>やHfO<sub>2</sub>に限らず、Y<sub>2</sub>O<sub>3</sub>やLa<sub>2</sub>O<sub>3</sub>などの希土類酸化物、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>についても同様である。この場合にも、高温酸化処理によってSi基板1と高誘電体絶縁膜3の界面のSiO<sub>2</sub>膜2の膜厚を制御するために、希釈酸素もしくは減圧酸素雰囲気中の熱処理が必要である。例えば、O<sub>2</sub>分圧1

torrの雰囲気中で1000℃、5秒のRTO処理を施すことで高誘電体絶縁膜3とSi基板1の間に0.7nmのSiO<sub>2</sub>膜2が成長した。また、O<sub>2</sub>分圧1torrの雰囲気中で1100℃、5秒のRTO処理を施すことで高誘電体絶縁膜3とSi基板1の間に1.0nmのSiO<sub>2</sub>膜2が成長した。

【0036】また、上記半導体装置のゲート絶縁膜構造に必要な高誘電体絶縁膜3と多結晶シリコン5の界面のSiO<sub>2</sub>層4を次の方法で形成することもできる。ここでは、HfO<sub>2</sub>膜を例に挙げて説明する。2.0nmのHfO<sub>2</sub>膜をHfC<sub>1</sub><sub>4</sub>とH<sub>2</sub>Oを用いるALCVD法によって堆積する。基板温度は300℃である。堆積後にO<sub>2</sub>分圧1torrの雰囲気中で1050℃、5秒の高速熱処理を行い、界面SiO<sub>2</sub>膜2を0.8nm形成した後、多結晶Siゲート5を形成する。さらに、上記と同様に、ソース、ドレン領域の活性化熱処理として1000℃、5秒の高速熱処理などを行い、MISFET構造を完成させる。このとき、MISFETのゲート絶縁膜構造を断面TEM分析によって調べた結果、HfO<sub>2</sub>と多結晶シリコンの界面に約0.5nmの界面層が見られた。元素分析の結果、この層はHfがわずかに混入したSiO<sub>2</sub>膜であることがわかった。このとき、MISキャパシタの容量の電圧依存を測定した結果、膜のSiO<sub>2</sub>換算膜厚は1.5nmであった。また、フラットバンド電圧シフト量は0.1V以下であり、MISFETの移動度は、SiO<sub>2</sub>膜のユニバーサルカーブ(移動度の有効電界依存性を与える普遍的曲線)とほぼ一致した。また、図11に示されるリーク電流とEOTの関係から、上記ゲート絶縁膜は、従来のSiO<sub>2</sub>膜に比べてリーク電流を1/1000以下に抑制できることがわかった。ゲート絶縁膜にAl<sub>2</sub>O<sub>3</sub>膜を用いて、Al<sub>2</sub>O<sub>3</sub>膜上のSiO<sub>2</sub>膜4を形成しなかった場合、MISキャパシタは、正電圧側に0.3Vのフラットバンド電圧シフトを示す。また、キャリアの移動度は、SiO<sub>2</sub>膜4がある場合に比べて25%劣化する。断面TEM分析の結果、多結晶Siゲート電極とAl<sub>2</sub>O<sub>3</sub>界面には、反応層が見られないことから、両者の特性差を与える原因是この界面層の存在にあることがわかる。このSiO<sub>2</sub>を主とする界面層がバッファ層になって、HfO<sub>2</sub>膜3と多結晶シリコン5の整合性を維持する役目を果たし、固定電荷の発生を抑制すると考えられる。この界面層は、多結晶シリコン形成後の熱処理が700℃以上になる場合に形成される。従って、HfO<sub>2</sub>膜3とSiO<sub>2</sub>膜2中の酸素と多結晶Siゲートが、高温熱処理で反応した結果と考えられる。上記の作製方法によって、高誘電体絶縁膜3と多結晶シリコン5の界面のSiO<sub>2</sub>層4を堆積しないで形成できる。また、HfO<sub>2</sub>に限らず、ZrO<sub>2</sub>でも同様に界面のSiO<sub>2</sub>層4を形成することができた。

【0037】上記では、高誘電体絶縁膜とSi基板の間

に必要な界面  $\text{SiO}_2$  膜を、高誘電体絶縁膜形成後の酸化熱処理によって形成したが、高誘電体絶縁膜堆積前に形成することも可能である。例えば、 $\text{Si}$  基板を酸化性雰囲気の熱処理で酸化して 0.5 nm の  $\text{SiO}_2$  膜を形成した後に高誘電体絶縁膜を堆積することで 750 °C 以下の後熱処理温度でも安定で優れた界面特性を示す膜を形成できる。また、この場合も、 $\text{SiO}_2$  膜形成温度を後熱処理温度以上にすることで熱安定性が高く優れた界面特性を示す絶縁膜を形成することができる。ただし、高誘電体絶縁膜形成後にさらに界面  $\text{SiO}_2$  膜が成長しない酸化条件で熱処理をすることが望ましい。

【0038】また、高誘電体絶縁膜と  $\text{Si}$  基板の間の  $\text{SiO}_2$  膜をシリコン酸窒化膜 ( $\text{SiON}$ ) に置き換えることも可能である。成膜方法は次の通りである。第1の方法は、上記方法で形成した 0.5 nm 以上の  $\text{SiO}_2$  膜を有する高誘電体絶縁膜 /  $\text{SiO}_2$  /  $\text{Si}$  基板にさらに  $\text{NO}$  処理を施すことで、 $\text{SiO}_2$  /  $\text{Si}$  界面付近に  $\text{N}$  を導入する方法である。 $\text{NO}$  処理条件は、例えば 900 °C 程度の  $\text{NO}$  雰囲気中で 10 秒の熱処理である。第2の方法は、まず、高誘電体絶縁膜堆積前に  $\text{Si}$  基板を  $\text{N}_2\text{O}$  雰囲気の熱処理で酸化して 0.5 nm 以上の  $\text{SiON}$  膜を形成する方法である。その後に高誘電体絶縁膜を堆積することで 800 °C の後熱処理温度でも安定で、優れた界面特性を示す膜を形成できる。例えば  $\text{N}_2\text{O}$  処理条件は、 $\text{N}_2\text{O}$  分圧 10 torr の雰囲気中で 1000 °C, 5 秒の高速熱処理を施すことで 0.5 nm の  $\text{SiON}$  膜を形成することができる。 $\text{SiON}$  膜の形成温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。ただし、高誘電体絶縁膜形成後にさらに界面  $\text{SiO}_2$  膜が成長しない酸化性雰囲気で熱処理をすることが望ましい。さらに、第3の方法は、次の通りである。 $\text{Si}$  基板を HF 洗浄後に  $\text{NH}_3$  雰囲気中 700 °C 以下の温度で窒化する。このときの窒化膜は  $\text{Si}$  表面 1 層程度である。そして高誘電体絶縁膜を堆積し、酸化性雰囲気の熱処理を行い、高誘電体絶縁膜と  $\text{Si}$  界面に 0.5 nm 以上の  $\text{SiON}$  膜を形成する。この場合も酸化性雰囲気の熱処理温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。第4の方法は次の通りである。 $\text{Si}$  基板上に高誘電体絶縁膜を形成後に、 $\text{N}_2\text{O}$  雰囲気中で熱処理で界面に 0.5 nm 以上の  $\text{SiON}$  膜を形成する。この場合も酸化性雰囲気の熱処理温度を、後熱処理温度以上にすることで、熱安定性に優れた膜を形成できる。例えば  $\text{N}_2\text{O}$  処理条件は、 $\text{N}_2\text{O}$  分圧 10 torr の雰囲気中で 1000 °C, 5 秒の高速熱処理を施すことで 0.5 nm の  $\text{SiON}$  膜を形成することができる。上記熱処理で  $\text{N}_2\text{O}$  热処理は  $\text{NO}$  処理に置きかえることもできる。上記4つの方法によって、界面  $\text{SiON}$  膜を形成することで、リーク電流をさらに 1/2 以下に抑制することができる。

【0039】上記では、 $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{ZrO}$  50

2 を ALCD 法によって堆積する場合を説明したが、堆積方法はこれに限らない。例えば、 $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$  などの希土類酸化物膜を、所望の金属酸化物に対応した金属ターゲットを用いる ECR スパッタリング法によって形成することもできる。ECR スパッタ装置の概要は図 8 に示す通りである。所望の金属酸化物に対応した金属ターゲットをマスフローメータによって、 $\text{Ar}$  の供給量を 25 sccm,  $\text{O}_2$  の供給量を 3.0 sccm に制御した。そして、一定磁界のもとで、2.45 GHz のマイクロ波を導入し、ECR プラズマを発生させた。マイクロ波出力は 5000 W である。さらに、13.56 MHz の RF 電界を金属のリングターゲットに印加することで、金属ターゲット表面を酸化することなしにスパッタリングを行うことができる。RF 出力は 500 W である。所望の膜厚が得られるように堆積時間を制御して高誘電体絶縁膜を堆積し、さらに、同一装置内で 200 °C から 500 °C の真空中熱処理 ( $\text{Ar}$  雰囲気, 圧力  $7 \times 10^{-4}$  Torr) を施した後に、大気中に取り出せばよい。また、金属ターゲットの RF スパッタリング法によって、金属を蒸着した後に 400 °C 以下の低温酸化で高誘電体絶縁膜を形成することも可能である。また、 $\text{HfSiO}_4$  ( $\text{ZrSiO}_4$ ) は、酸化物ターゲットによるスパッタリング法、もしくは、 $\text{HfCl}_4$  ( $\text{ZrCl}_4$ ),  $\text{SiH}_4$  を原料に  $\text{H}_2\text{O}$  を酸化ガスに用いた CVD 法によって形成することもできる。

<実施例 2> 図 2 は本発明の第 2 の実施例による電界効果トランジスタを示す完成断面図であり図 14, 図 15 がその製造工程の模式図である。本実施例 2 に基づく電界効果トランジスタでは、多結晶シリコンゲートの代わりに高融点金属ゲートを適用している。

【0040】面方位 (100), P 導電型、直徑 20 cm の単結晶  $\text{Si}$  よりなる半導体基板 1 に活性領域を画定する素子間分離絶縁領域 (図示せず) の形成、基板濃度調整用の P 導電型イオンの注入と引き延ばし熱処理及び閾電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した。その後、ECR スパッタリング法によって  $\text{Al}_2\text{O}_3$  膜 3 を 1.5 nm の厚みで形成した。ECR スパッタリング法は実施例 1 に示した通りである。ただし、1.5 nm の  $\text{Al}_2\text{O}_3$  膜を形成するためのスパッタ時間は 9 秒とした。そして、 $\text{O}_2$  分圧 5 torr の雰囲気中で 1000 °C, 5 秒の RTO 处理を施すことで  $\text{Al}_2\text{O}_3$  膜 3 と  $\text{Si}$  基板 1 の間に 0.6 nm の  $\text{SiO}_2$  膜を形成した。さらに  $\text{NO}$  雰囲気中で 900 °C, 10 秒高速熱処理を行うことで、 $\text{Al}_2\text{O}_3$  膜 3 と  $\text{Si}$  基板 1 の間に 0.7 nm の界面  $\text{SiON}$  膜 2 を形成した。実施例 1 に示されるように  $\text{SiON}$  膜を形成した後に  $\text{Al}_2\text{O}_3$  膜を形成することも可能である。また、 $\text{SiO}_2$  膜の代わりに  $\text{SiO}_2$  膜でも構わない。

【0041】次に、高融点金属の窒化物である  $\text{TaN}$  ゲ

一ト電極13aを反応性スパッタリング法によって形成する。TaNはTiN, WN, MoN, ZrN, HfNでも構わない。さらに高融点金属であるWゲート13b(もしくはMo)をスパッタリング法もしくはCVD法によって形成した(図14)。さらにフォトレジスト膜をマスクにしてエッチングすることによってゲート電極13a, 13bを形成する。この状態よりAsイオンを加速エネルギー3keV, 注入量 $1 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、浅い拡散層6を形成した。続いて上記浅い拡散層6を包み込むごとく、Bのイオン注入を垂直方向から加速エネルギー10keV, 注入量 $4 \times 10^{13} / \text{cm}^2$ なる条件で実施しパンチスルー防止のためのP導電型パンチスルー防止拡散層7とした。次に50nm厚のシリコン酸化膜をプラズマ補助堆積法により400℃の低温で全面に堆積してから異方性ドライエッチングによりゲート電極13の側壁部にのみ選択的に残置させてゲート側壁絶縁膜8とした。上記ゲート側壁絶縁膜8をイオン注入阻止マスクとしてAsイオンを加速エネルギー30keV, 注入量 $2 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、N型高濃度拡散層を形成した(図15)。

【0042】 続いて、1000℃, 5秒の窒素アニールで注入イオンの活性化熱処理を施した。さらにCo膜をスパッタリング法により全面に薄く堆積し、500℃における短時間アニールによるシリサイド化を施した。未反応Co膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にCoシリサイド膜9を残置させた後、短時間熱処理によりCoシリサイド膜10の低抵抗化を施した。次に厚いシリコン酸化堆積膜を全面に形成した後、その表面を化学的機械的研磨により平坦化して表面保護絶縁膜11とした。該表面保護絶縁膜の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニュームを主材料とする金属膜の堆積とそのパターニングによりドレイン及びソース電極12を含む配線を形成し、電界効果トランジスタを製造した(図2)。これによって、SiO<sub>2</sub>換算膜厚が1.3nmのMOSFETを形成できる。図5のAl<sub>2</sub>O<sub>3</sub>/Si基板界面のSiO<sub>2</sub>界面膜厚とフラットバンド電圧シフトの関係が示すように、Si基板1とAl<sub>2</sub>O<sub>3</sub>膜3の界面に0.5m以上のSiO<sub>2</sub>(SiON)膜2を形成することで、固定電荷のないゲート絶縁膜を形成できる。また、Al<sub>2</sub>O<sub>3</sub>膜3と高融点金属の窒化物13aの界面は整合性がよいためするため、固定電荷を発生しない。さらに、図6の後熱処理温度とフラットバンド電圧シフト量の関係が示すように、ゲート絶縁膜形成時の酸化熱処理条件を、ソース・ドレインの活性化熱処理温度以上にすることで、キャリア移動度の劣化がなく、優れた界面特性を示すFETを形成できる。

上記方法では、Si基板1とAl<sub>2</sub>O<sub>3</sub>膜3の界面をSiON膜2にすることで、リーク電流をSiO<sub>2</sub>膜に比べて1/500に抑制することができた。

【0043】 上記Al<sub>2</sub>O<sub>3</sub>膜の代わりにHfO<sub>2</sub>, ZrO<sub>2</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub>などの希土類酸化物、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>膜を用いることも可能である。高誘電体絶縁膜3, Si基板1と高誘電体絶縁膜界面の界面SiO<sub>2</sub>(SiON)膜2の形成工程は、実施例1に説明した通りである。ただし、これらの高誘電体絶縁膜は、Al<sub>2</sub>O<sub>3</sub>膜と同様に高融点金属の窒化物13aとの界面整合性がよいため、高誘電体絶縁膜3と高融点金属の窒化物13aの間にSiO<sub>2</sub>層は必要ない。また、高融点金属の窒化物13aの形成後のFET形成工程は、上記に示した通りである。本発明であるSi基板と高誘電体絶縁膜界面にSiO<sub>2</sub>(SiON)膜を0.5nm以上形成することと、SiO<sub>2</sub>膜の形成温度を後工程の温度よりも高くすることで、界面特性に優れた膜を形成できる。

【0044】 尚、本実施例2に基づく電界効果トランジスタでは容量-電圧特性にゲート電極の空乏化に伴う容量低下がおこらないため、従来公知の多結晶Siを用いた電界効果トランジスタと比較して容量が大きくなることも合わせて明らかとなった。従って、容量特性の観点からも、本実施例2に基づく電界効果トランジスタが優れていることが判明した。

<実施例3> 図3は本発明の第3の実施例による電界効果トランジスタを示す完成断面図であり図16から図20がその製造工程の模式図である。本実施例3に基づく電界効果トランジスタでは、ゲート絶縁膜の形成前に注入イオンの活性化熱処理を行うことで、高誘電体絶縁膜の熱負荷が軽減されている。

【0045】 まず、面方位(100), P導電型、直径20cmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域(図示せず)の形成、基板濃度調整用のP導電型イオンの注入と引き延ばし熱処理及び閾電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した後、熱酸化膜14を5nm形成した。次に上記熱酸化膜14の上に、非晶質のノンドープSi膜15を150nm堆積した後、シリコン酸化堆積膜を50nm堆積して表面保護絶縁膜11を形成した。その後、従来公知のリソグラフィ法及びエッチング法を用いて、ダミーゲート電極16を形成した。ダミーゲート電極16形成後、この状態よりPイオンを垂直方向からイオン注入し、不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 程度の浅い拡散層6を形成した。続いて1050℃、1秒の条件で熱処理を施し、注入不純物の活性化を実施した。続いて上記浅い拡散層6を包み込むごとく、Bのイオン注入を施してパンチスルー防止のためのP導電型パンチスルー防止拡散層7とした(図16)。

【0046】 続いて、Si<sub>3</sub>N<sub>4</sub>を全面に堆積した後、

異方性ドライエッチングによりダミーゲート電極18の側壁部にのみ選択的に残置させてダミーゲート側壁絶縁膜17とした。上記ダミーゲート側壁絶縁膜17をイオン注入阻止マスクとして不純物濃度が $1 \times 10^{20}/\text{cm}^3$ 程度のN型高濃度拡散層9を形成した後、1050°C、1秒の条件で注入イオンの活性化熱処理を施した(図17)。

【0047】続いて、希フッ酸を用いてSiO<sub>2</sub>絶縁膜14の露出部を除去した後、Co膜をスパッタリング法により全面に薄く堆積し、500°Cにおける短時間アニールによるシリサイド化を施した。未反応Co膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にCoシリサイド膜10を残置させた後、短時間熱処理によりCoシリサイド膜12の低抵抗化を施した(図18)。この工程によって、本実施例2では、前記実施例1のようにゲート絶縁膜2形成後にCoシリサイド膜10を形成する工程と比較して、ゲート絶縁膜の形成後の熱処理を減らすことができる。

【0048】次に、厚いシリコン酸化堆積膜を全面に形成した後、その表面を化学的機械的研磨により平坦化して表面保護絶縁膜11を形成した後、800°Cの窒素雰囲気で30分のアニールを行った。次に全面を化学的機械的研磨により平坦化し、ダミーゲート電極16の上面を露出させた。その後、ダミーゲート電極16を選択的に除去した後、希フッ酸を用いてSiO<sub>2</sub>絶縁膜14の露出部を除去し、開口部18を形成した(図19)。

【0049】本実施例3のようにゲート絶縁膜の形成に先立って、ソース、ドレイン上にCoシリサイド膜10を形成することで、ゲート絶縁膜やメタルゲート電極に加わる熱負荷を軽減することができる。その後、開口部18に高誘電体絶縁膜を、被覆性に優れたCVD法によって堆積した。例えば、Al<sub>2</sub>O<sub>3</sub>膜の場合、トリメチルアルミニウム[Al(CH<sub>3</sub>)<sub>3</sub>]を原料ガスに、H<sub>2</sub>Oを酸化ガスに用いる原子層堆積CVD法(ALCVD法)によって350°Cで1.0nmのAl<sub>2</sub>O<sub>3</sub>膜を堆積する。さらに、同一装置内において、Si<sub>2</sub>H<sub>6</sub>とH<sub>2</sub>Oを用いたALCVD法によってSiO<sub>2</sub>膜を0.5nm形成する。そして、O<sub>2</sub>分圧100torrの雰囲気中で700°C、60秒のRTO処理を施すことでAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.5nmのSiO<sub>2</sub>膜2を形成した。以上の工程によって、Al<sub>2</sub>O<sub>3</sub>とSi基板の間の0.5nmのSiO<sub>2</sub>膜2と高誘電体絶縁膜3(1.0nmのAl<sub>2</sub>O<sub>3</sub>)とAl<sub>2</sub>O<sub>3</sub>膜上の0.5nmのSiO<sub>2</sub>膜4から形成されるゲート絶縁膜を形成することができる。ZrO<sub>2</sub>、HfO<sub>2</sub>、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>の場合はALCVD法を用いて次のようにゲート絶縁膜を形成する。例えば、ZrO<sub>2</sub>膜の場合、ZrCl<sub>4</sub>とH<sub>2</sub>Oを原料、反応ガスとするALCVD法によって2.0nmのZrO<sub>2</sub>膜を堆積する。堆積温度は300°Cである。O<sub>2</sub>分圧10torrの雰

囲気中で700°C、20秒のRTO処理を施すことでZrO<sub>2</sub>膜とSi基板の間に0.6nmのSiO<sub>2</sub>膜2を形成できる。上記の場合、高誘電体絶縁膜3とSi基板1の界面のSiO<sub>2</sub>膜を形成する熱処理温度は、拡散層の不純物プロファイルを変化させない温度、時間に調整した。

【0050】引き続き、開口部18に、ゲート電極5となるIn-Situリンドープ多結晶Si膜5をモノシリラン(SiH<sub>4</sub>)とホスフィン(PH<sub>3</sub>)を用い630°Cの温度で100nmの堆積を行った。続いて5nmのタンクステン・ナイトライドを反応性スパッタリング法により堆積させてWN<sub>x</sub>障壁層19を形成した後、50nmのタンクステンWをスパッタリングにより堆積させてWゲート電極20を形成した。続いて、700°C、20分の活性化アニールを実施した後、全面を化学的機械的研磨により平坦化し、埋め込み加工トランジスタ構造を形成した(図20)。

【0051】その後、厚いシリコン酸化堆積膜を全面に形成して、表面保護絶縁膜11の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりソース・ドレイン電極12及びゲート電極配線21を含む配線を形成し、電界効果トランジスタを製造した(図3)。ZrO<sub>2</sub>膜の場合、In-situリンドープ多結晶Si膜5とZrO<sub>2</sub>膜3界面のSiO<sub>2</sub>膜4は、700°Cの活性化処理時に両者が反応して形成されたものである。これは、ZrO<sub>2</sub>に限らず、HfO<sub>2</sub>でも同様に界面のSiO<sub>2</sub>層4が形成された。一方、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>の場合、上記反応層は見られないが、界面特性に優れた膜を形成できることを確認した。上記方法で形成したMISFETについて、キャパシタのSiO<sub>2</sub>換算膜厚は、例えば、高誘電体絶縁膜3がAl<sub>2</sub>O<sub>3</sub>膜の場合に1.5nm、ZrO<sub>2</sub>、HfO<sub>2</sub>膜の場合に1.2nm、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>の場合に1.4nmであった。また、移動度の劣化が見られず、優れた界面特性を有するFETを実現することができた。

【0052】また、高誘電体絶縁膜とSi基板の間のSiO<sub>2</sub>膜をシリコン酸窒化膜(SiON)に置き換えることも可能である。この場合の成膜工程は実施例1に示される通りである。ただし、高誘電体絶縁膜3とSi基板1の界面のSiON膜を形成する熱処理温度は、拡散層の不純物プロファイルを変化させない温度、時間に調整する必要があった。本発明であるSi基板と高誘電体絶縁膜界面にSiO<sub>2</sub>(SiON)膜を0.5nm以上形成することによって界面特性に優れたFETを形成することができた。

<実施例4>本実施例は、ゲート絶縁膜の形成前に注入

イオンの活性化熱処理を行うことと、メタルゲート電極を用いることで、高誘電体絶縁膜の熱負荷が軽減されている電界効果トランジスタの作製方法に関する。図4が本発明の第4の実施例による電界効果トランジスタを示す完成断面図である。

【0053】まず実施例3と同様の工程で図19に示すような、ソース及びドレイン上にSiシリサイド膜10が形成され、チャネル部が開口された構造18を作製する。引き続き、実施例3と同様の工程で開口部18に高誘電体絶縁膜を、被覆性に優れたCVD法によって堆積する。例えば、Al<sub>2</sub>O<sub>3</sub>膜の場合、トリメチルアルミニウム [Al(CH<sub>3</sub>)<sub>3</sub>] を原料ガスに、H<sub>2</sub>Oを酸化ガスに用いる原子層堆積CVD法 (ALCVD法) によって350°Cで1.5nmのAl<sub>2</sub>O<sub>3</sub>膜を堆積する。そして、O<sub>2</sub>分圧100torrの雰囲気中で700°C、60秒のRTO処理を施すことでAl<sub>2</sub>O<sub>3</sub>とSi基板の間に0.5nmのSiO<sub>2</sub>膜2を形成した。以上の工程によって、Al<sub>2</sub>O<sub>3</sub>とSi基板の間の0.5nmのSiO<sub>2</sub>膜2と高誘電体絶縁膜3 (1.5nmのAl<sub>2</sub>O<sub>3</sub>) から形成されるゲート絶縁膜を形成することができる。ZrO<sub>2</sub>, HfO<sub>2</sub>, HfSiO<sub>4</sub>, ZrSiO<sub>4</sub>の場合はALCVD法を用いて次のようにゲート絶縁膜を形成する。例えば、HfO<sub>2</sub>膜の場合、HfC<sub>1.4</sub>とH<sub>2</sub>Oを原料、反応ガスとするALCVD法によって3.0nmのZrO<sub>2</sub>膜を堆積する。堆積温度は300°Cである。O<sub>2</sub>分圧10torrの雰囲気中で700°C、20秒のRTO処理を施すことでZrO<sub>2</sub>膜とSi基板の間に0.6nmのSiO<sub>2</sub>膜2を形成する。上記の場合、高誘電体絶縁膜3とSi基板1の界面のSiO<sub>2</sub>膜を形成する熱処理温度は、拡散層の不純物プロファイルを変化させない温度、時間に調整した。

【0054】引き続き、開口部18に、高融点金属窒化膜13aとなるTaNをALCVD法を用いて20nm蒸着した。本実施例4ではTaNを用いたが、TiN, WN, MoN, ZrN, HfNでも構わない。さらに高融点金属膜13bとしてWもしくはMoをスピッタリング法もしくはCVD法によって形成した。その後、厚いシリコン酸化堆積膜を全面に形成した後、全面を化学的機械的研磨により平坦化し、埋め込み加工トランジスタ構造を形成した。そして、表面保護絶縁膜11の所望領域に開口を施してから配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりソース・ドレイン電極12及びゲート電極配線21を含む配線を形成し、電界効果トランジスタを製造した(図4)。上記方法で形成したMISFETについて、キャパシタのSiO<sub>2</sub>換算膜厚は、例えば、高誘電体絶縁膜3がAl<sub>2</sub>O<sub>3</sub>膜の場合に1.2nm, ZrO<sub>2</sub>, HfO<sub>2</sub>膜の場合

に1.1nm, HfSiO<sub>4</sub>, ZrSiO<sub>4</sub>の場合に1.2nmであった。本実施例の場合、Al<sub>2</sub>O<sub>3</sub>膜3とメタルゲート13の界面の整合性が良いため、多結晶Siゲートの場合のように界面SiO<sub>2</sub>膜は必要なかった。また、ZrO<sub>2</sub>, HfO<sub>2</sub>, HfSiO<sub>4</sub>, ZrSiO<sub>4</sub>の場合、メタルゲート電極の界面に反応層が形成されることはない。上記実施例で作製したFETを評価した結果、移動度の劣化が見られず、優れた界面特性を有すると確認した。

10 【0055】なお、高誘電体絶縁膜とSi基板の間のSiO<sub>2</sub>膜をシリコン酸窒化膜(SiON)に置き換えることも可能である。この場合の成膜工程は実施例1に示される通りである。ただし、高誘電体絶縁膜3とSi基板1の界面のSiON膜を形成する熱処理温度は、拡散層の不純物プロファイルを変化させない温度、時間に調整する必要があった。本発明であるSi基板と高誘電体絶縁膜界面にSiO<sub>2</sub>(SiON)膜を0.5nm以上形成することによって界面特性に優れたFETを形成することができた。また、本実施例4に基づく電界効果トランジスタでは容量-電圧特性にゲート電極の空乏化に伴う容量低下がおこらないため、従来公知の多結晶Siを用いた電界効果トランジスタと比較して容量が大きくなることも合わせて明らかとなった。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの完成断面図。

【図2】本発明の第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの完成断面図。

【図3】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの完成断面図。

【図4】本発明の第4の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの完成断面図。

【図5】高誘電体膜/Si基板界面のSiO<sub>2</sub>膜厚とフラットバンド電圧のシフト量ΔV<sub>FB</sub>の関係を示す図。

【図6】後熱処理温度とフラットバンド電圧シフト量の関係を示す図(Al<sub>2</sub>O<sub>3</sub>膜)。

【図7】後熱処理温度とフラットバンド電圧シフト量の関係を示す図(Al<sub>2</sub>O<sub>3</sub>以外の膜)。

【図8】ECRスピッタ装置の概要を示す図。

【図9】Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Si構造についてSi<sup>2+</sup>電子とAl<sup>2+</sup>電子のXPSスペクトルを示す図。

【図10】高誘電体絶縁膜/SiO<sub>2</sub>/SiキャパシタのSiO<sub>2</sub>換算膜厚EOTと高誘電体絶縁膜厚の関係を示す図。

【図11】高誘電体絶縁膜/SiO<sub>2</sub>/SiキャパシタのSiO<sub>2</sub>換算膜厚EOTとリーク電流の関係を示す図。

【図12】本発明の第1の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図13】本発明の第1の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図14】本発明の第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図15】本発明の第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図16】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図17】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図18】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

【図19】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

図。

【図20】本発明の第3の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順を示す断面図。

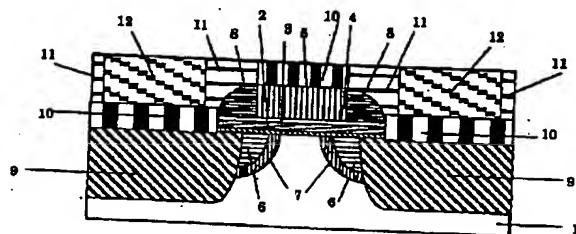
【図21】Al<sub>2</sub>O<sub>3</sub>をゲート絶縁膜に用いたNチャネル型MISFETについて、移動度の有効電界依存を示した図。

【符号の説明】

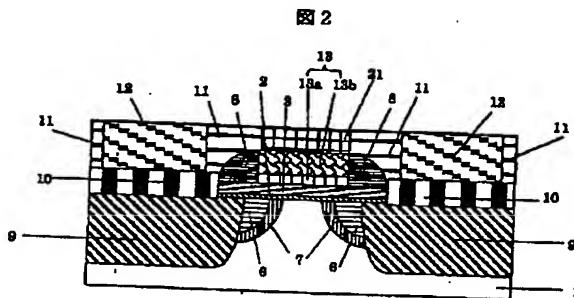
1…半導体基板、2…SiO<sub>2</sub>膜もしくはSiON膜、3…高誘電率絶縁膜、4…SiO<sub>2</sub>膜、5…多結晶Si  
10…ゲート電極、6…浅い拡散層、7…パンチスルーアンチエミッション層、8…ゲート側壁絶縁膜、9…高濃度拡散層、10…シリサイド膜、11…表面保護絶縁膜、12…ソース・ドレイン電極、13…高融点金属ゲート、13a…高融点金属窒化膜、13b…高融点金属膜、14…熱酸化膜、15…非晶質ノンドープSi膜、16…ダミーゲート電極、17…ダミー・ゲート側壁絶縁膜、18…開口部、19…WN<sub>x</sub>障壁層、20…Wゲート電極、21…ゲート電極配線。

【図1】

図1

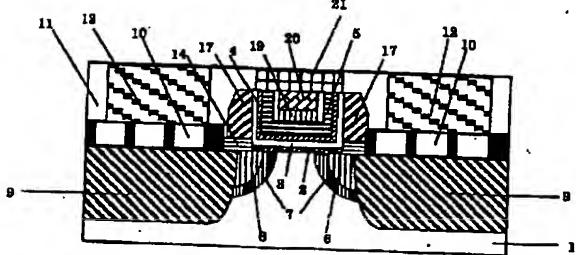


【図2】

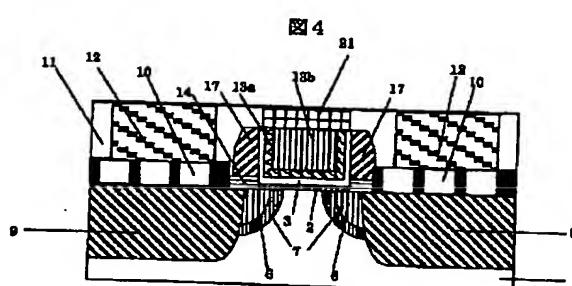


【図3】

図3

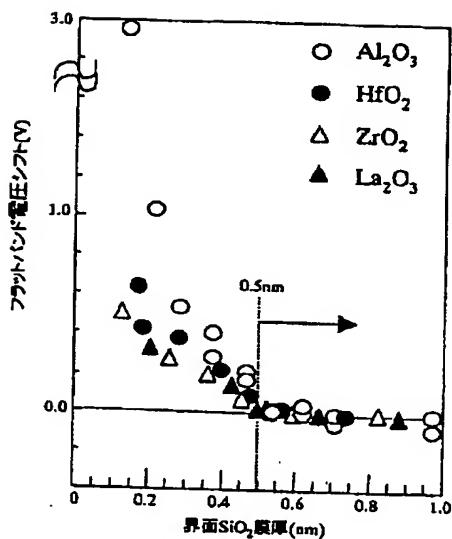


【図4】



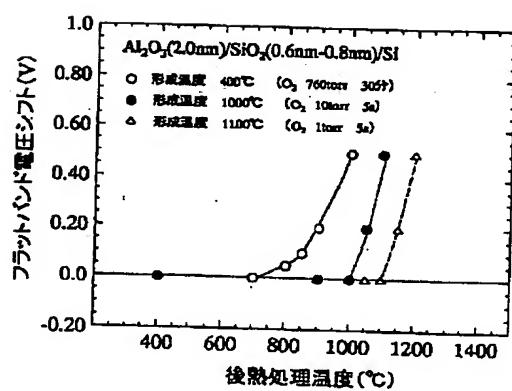
【図5】

図5



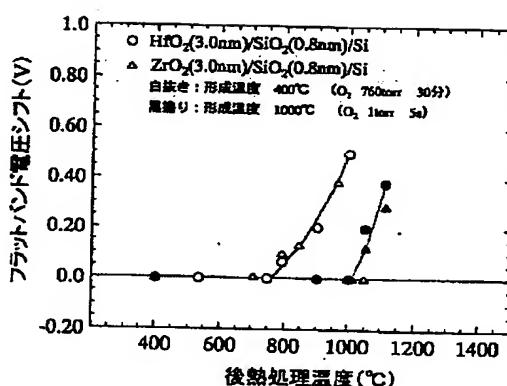
【図6】

図6



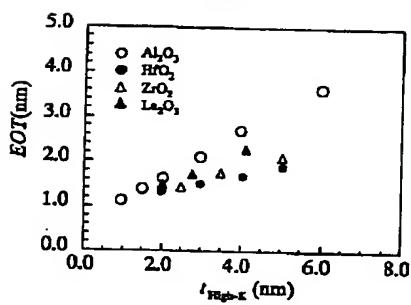
【図7】

図7



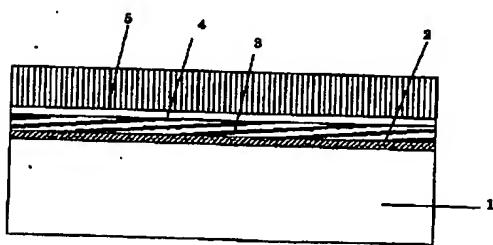
【図10】

図10



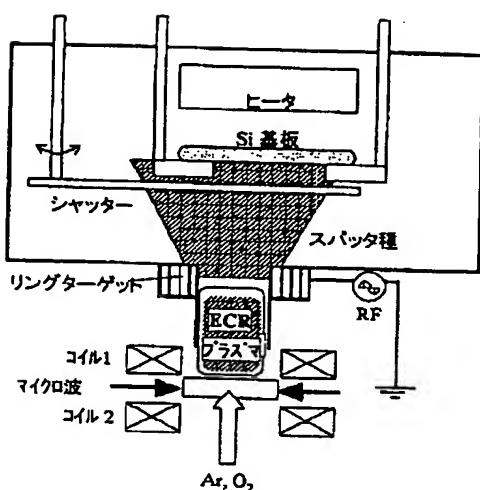
【図12】

図12



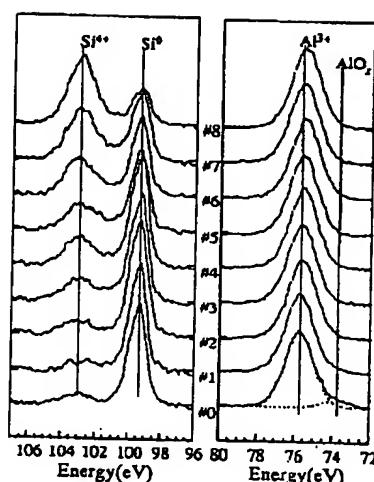
【図8】

図8



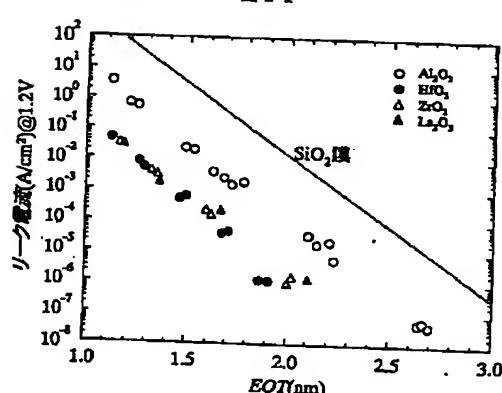
【図9】

図9



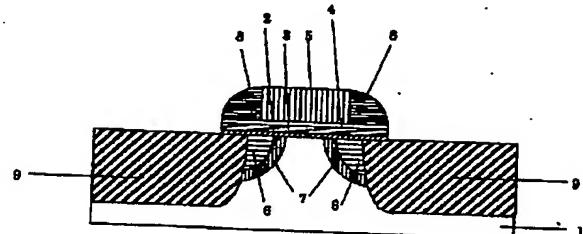
【図11】

図11



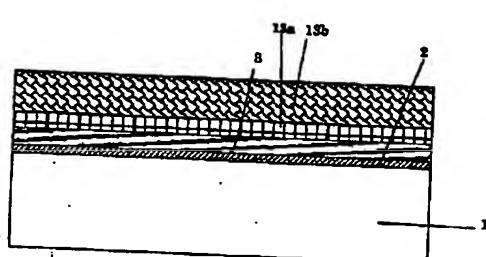
【図13】

図13



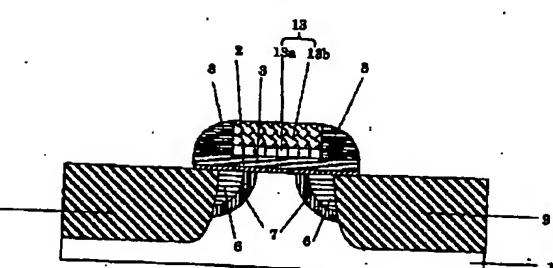
【図14】

図14



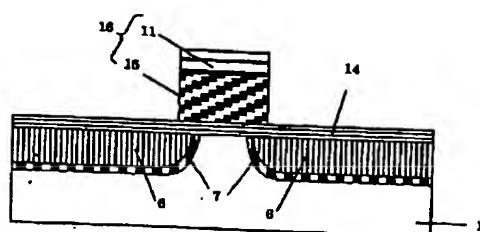
【図15】

図15



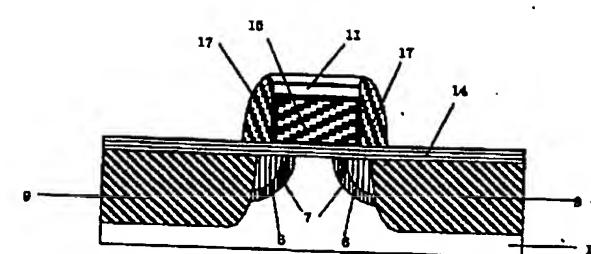
【図16】

図16



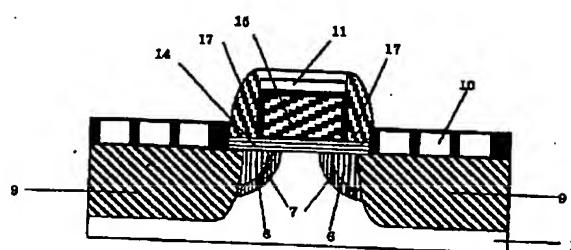
【図17】

図17



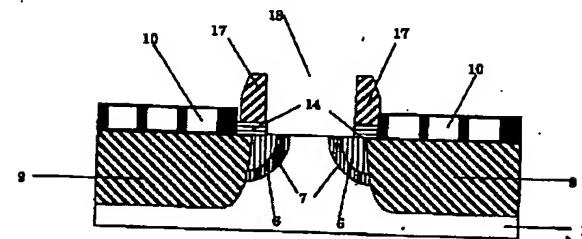
【図18】

図18



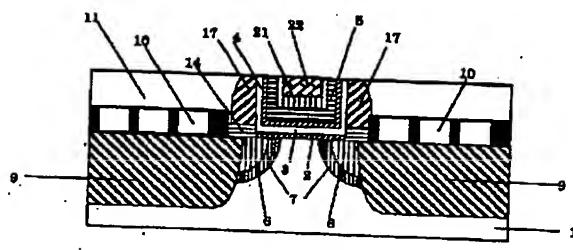
【図19】

図19



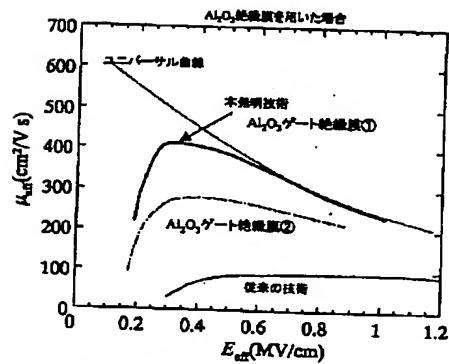
【図20】

図20



【図21】

図21

AL<sub>2</sub>O<sub>3</sub>ゲート絶縁膜①

多結晶シリコン / SiO<sub>2</sub> 0.5nm / Al<sub>2</sub>O<sub>3</sub> 1.0nm / SiO<sub>2</sub> 0.6nm / SOI板  
酸化処理温度=1000°C, 硅化処理温度=1000°C

AL<sub>2</sub>O<sub>3</sub>ゲート絶縁膜②

多結晶シリコン / Al<sub>2</sub>O<sub>3</sub> 1.5nm / SiO<sub>2</sub> 0.6nm / Si基板  
酸化処理温度=1000°C, 硅化処理温度=1000°C

フロントページの続き

(72)発明者 鳥居 和功  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 平谷 正彦  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

F ターム(参考) 4M104 AA01 BB01 BB02 BB20 BB29  
BB30 BB31 BB32 BB33 BB40  
CC05 DD16 DD37 DD43 DD55  
DD64 DD75 DD78 DD80 DD84  
EE03 FF17 FF18 FF22 GG09  
GG10 GG14 HH12 HH14 HH16  
HH18

5F058 BD01 BD02 BD04 BD05 BD12  
BD15 BF55 BF61 BJ01

5F140 AA24 AA40 BA01 BA20 BC06  
BC17 BD02 BD05 BD09 BD11  
BE07 BE08 BE09 BE10 BF04  
BF10 BF11 BF17 BF18 BF20  
BF21 BF27 BG02 BG03 BG05  
BG08 BG14 BG28 BG30 BG31  
BG33 BG34 BG36 BG37 BG40  
BG44 BG45 BG52 BG53 BG56  
BH15 BH35 BJ08 BJ11 BJ17  
BJ20 BJ27 BK02 BK05 BK13  
BK21 BK22 BK25 BK26 BK29  
BK34 CA03 CC03 CE07 CF04